

### **Cited reference 3**

**Korean Patent Publication No. 96-0000367 (Jan. 5, 1996)**

**Title: Method for forming a wire layer of a semiconductor device**

### **Brief Description of the Drawings**

Fig. 1 is a sectional view for showing a metal wire layer produced by a method filed prior to the present invention.

Figs. 2-9 are process flow charts for showing an exemplary embodiment of the method of forming a metal wire layer according to the present invention.

### **Detailed description**

The present invention relates to a method for producing a semiconductor device. In particular, the present invention relates to a method for forming a wire layer of a semiconductor device having a high topography.

As the semiconductor device becomes super-highly integrated, the method for forming the wire layer of the semiconductor becomes the most critical step in the producing process of the semiconductor device since it is the factor which determines the rate performance, yield and reliability of the semiconductor device. Conventionally, the metal step coverage was not a problem when covering a peripheral area having relatively low irregularity such as contact hole having a low aspect ratio (ratio of depth to width) or a step height having a shallow depth. However, as the degree of integration of the semiconductor device increases, the contact hole becomes remarkably smaller, and the impurity doped region formed on the surface of the semiconductor substrate becomes much thinner. Since the conventional aluminium wire process had numerous problems such as reliability failure of mutual aluminium contact caused by the high aspect ratio of the contact hole and inferior step coverage of a sputtered aluminium, increase of contact resistance caused by silicon precipitates and deterioration of shallow bonding characteristic caused by aluminium spike, it was required to improve the

wire process for the high rate performance, high yield and satisfactory reliability of the semiconductor device in spite of the high aspect ratio of the contact hole and deep depth of the step height.

Accordingly, in order to overcome the problems of the conventional wire process stated in the above, new methods have been suggested. For example, in order to prevent the degradation of the reliability of the semiconductor device according to the high aspect ratio and failure of aluminium contact caused by the inferior step coverage of the sputtered aluminium, the following methods have been published.

JP No. 62-132348 (Yukiyo Sugano, et al.) describes a method for planarization by forming a metal wire layer on a step height of a semiconductor substrate and heating and melting the wire layer in order to enhance the shape of the film with regard to the irregular step height of a semiconductor device.

JP No. 63-99549 (Sinfia Iijima, et al.) describes a method for forming a metal wire layer on a semiconductor substrate having a contact hole and a step height, and heating and melting the metal wire layer in order to enhance the reliability of the wire and to enable to contact multilayers mutually. It describes a producing method of a semiconductor device for forming mutual contact between multilayers by forming a metal wire layer on a semiconductor substrate by comprising:

- forming a number of elements on the semiconductor substrate;
- depositing an insulation film on the substrate containing the elements;
- forming a contact hole reaching a predetermined position of the elements on the insulation film;
- forming titanium nitride film on the surfaces of the contact hole and the insulation film;
- depositing the metal wire layer on the whole surface of the titanium nitride film and heating and melting the metal layer so that the surface of the metal layer can be planar; and
- forming at least one wire layer by etching the metal layer and the titanium nitride film according to a predetermined wire pattern.

JP No. 62-109341 (Masahiro Simizu, et al.) describes a method for forming an aluminium conductive film such as aluminium alloy film having a satisfactory coverage with a step height such as contact of an insulation film surface in the

case of forming an electrode or wire film, in order to enhance the low reliability of a semiconductor device caused by an inferior wire. According to Masahiro Simizu, et al., the above publication provides a producing method of a semiconductor device comprising a solution containing a liquefied aluminium compound or aluminium to a silicon substrate and heat-treating it to form an aluminium conductive film.

According to the above method, aluminium or alloyed aluminium is melted and reflowed in order to fill up the contact hole. Since all of the above publications comprise the reflow method in which aluminium or alloyed aluminium is melted, the semiconductor wafer produced by this method should be arranged horizontally so that the contact hole can be properly filled with a flowing melting material. In addition, a metal shrink occurs in the insulation area depending on the temperature change. That is, a fluid metal layer, which is liquefied by heating at the temperature higher than the melting point of aluminium or alloyed aluminium, fills up the contact hole. Since the liquefied metal layer tries to make the surface tension lower, the metal layer is shrunk or twisted when it is solidified and thus the semiconductor material in the lower portion is exposed. In addition, since the temperature of the heat treatment cannot be controlled accurately, it is difficult to obtain the identical results. Further, according to the above method, even if the contact hole can be filled up, the following photographic process cannot be operated since the remaining portion of the metal film becomes rough. Thus, the secondary metal forming process may be required.

Also, a method is published regarding the formation of a barrier layer in a contact hole on a semiconductor substrate in order to enhance the reliability of a semiconductor device by preventing a deterioration of a shallow bonding area due to an aluminium spike. For example, USP No. 4,897,709 describes a semiconductor device comprising titanium nitride film as a barrier layer inside of a contact hole in order to prevent a reaction of a wire to a semiconductor substrate. The titanium nitride film can be formed by a low-pressure and low-temperature CVD method, and comprises a superior feature having a satisfactory step coverage in a quite minute contact hole having a high aspect ratio. After forming the titanium nitride film, a wire layer is formed by a sputtering method using alloyed aluminium.

Besides the above, instead of melting the aluminium or alloyed aluminium, USP No. 4,970,176 (Dracey, et al.) describes a multi-step metal wiring method for

enhancing the step coverage of the metal.

According to the above USP, after depositing a predetermined thickness of a thick metal layer on a semiconductor wafer at low temperature, the temperature is raised (approximately 400°C-500°C) so that the metal can be reflowed and the remaining portion of the predetermined thickness of the metal layer is deposited, or after depositing the first metal layer, the second metal layer is deposited while raising the temperature so that the metal can be reflowed. The reflow of the metal layer occurs by particle formation, recrystallization and bulk diffusion.

Meanwhile, Ono, et al. announced that the liquidity of aluminium-silicon is suddenly increased in the case that a semiconductor substrate is maintained at the temperature more than 500°C (Hisako Ono, et al., in Proc., 1990 VMIC Conference June 11-12, pp.76-82). It indicates that the stress of aluminium-1% silicon film is suddenly changed at 500°C, and the stress relaxation of aluminium-1% silicon film suddenly occurs. Also, it indicates that the substrate temperature should be maintained as 500°C-550°C for the satisfactory filling up of the contact hole.

This phenomenon is caused by the mechanism which is different from the mechanism used in Dracey et al, causing the reflow phenomenon of the metal layer.

The inventor of the present invention had filed an invention on June 18, 1990 relating to a method of filling up a contact hole completely by depositing a metal at low temperature (200°C or less) using a transport phenomenon of a metal atom due to the stress relaxation of the metal layer and then by after-treating the deposited metal at the temperature from 80% of the metal melting point to the metal melting point (Korean Patent Application No. 90-10027).

However, the above technology, which had been filed prior to the present invention, also generates the void as shown in Fig. 1 in the high step height having the aspect ratio of the contact hole more than 1.5. That is, due to the high aspect ratio of the contact hole, a shadow effect is increased, and due to the increase of the shadow effect, the aluminium atoms sputtered at the time of depositing at low temperature cannot form the successive aluminium film on the side wall in the contact hole. Accordingly, even if the heat-treatment is carried out as an after-treating process, the contact hole is not completely filled up since

the inlet of the contact hole becomes clogged or narrowed while the aluminium atoms are deposited around the inlet of the contact hole. Therefore, only the upper portion becomes planar at the time of the following re-depositing of the aluminium film.

Thus, the object of the present invention relates to a method of forming the metal wire layer which can form the wire having the high reliability by filling up the contact hole regardless of the aspect ratio of the contact hole, in order to solve the problems of the above conventional arts.

In order to achieve the above object, the present invention comprising processes of:

forming an insulation film having a contact hole on a semiconductor substrate;

forming a first metal layer only inside of the contact hole and on the a bottom exposed to the contact hole at the temperature of 200°C or less;

forming a metal plug inside of the contact hole by melting the first metal layer;

forming a second metal layer on a whole surface of the semiconductor substrate on which the metal plug is formed; and

heat-treating the second metal layer.

Hereinafter, the present invention is explained by referring to the attached drawings.

Figs. 2-9 are process flowcharts for showing an exemplary embodiment of the method of forming a metal wire layer according to the present invention, which shows the above patent application improved. In this exemplary embodiment, impurity injecting area is described as an example of a lower wire layer.

Fig. 2 is a view for showing a forming process of a lower wire layer (11), a barrier layer (15) and a first metal layer (17). First of all, the lower wire layer (11) consisting of impurity doped area of a second conductive type is formed on a semiconductor substrate (10) of a semiconductor substrate of a first conductive type and an inter-insulation layer is formed on the whole surface. Then, a

contact hole is formed by applying a mask pattern on the inter-insulation layer and etching the inter-insulation layer so that the lower wire layer can be exposed, and a cleaning process is carried out to remove organic substances remaining on the substrate surface and a natural oxide film existing in the lower substrate surface in the contact hole. After that, the whole surface of the result therefrom is physically or chemically deposited by the barrier layer (15), such as titanium nitride (TiN) and the first metal layer (17), for example, aluminium film is physically deposited on the barrier layer (15). At this time, the thickness of the aluminium film, which is the first metal layer, should be 1/2 of the inlet size of the contact hole. Herein, an aluminium film containing silicon, copper or titanium can be used instead of the pure aluminium film.

Fig. 3 is a view for showing a forming process of a polymer (19). The whole surface of the result from the process shown in Fig. 2 is thinly covered by the polymer (19) having viscosity such as photoresist to fill up the empty space in the contact hole as shown, and then a bake process is carried.

Fig. 4 is a view for showing a process of anisotropic etching for the whole surface of the resultant contact hole filled with the polymer. In this process, the resultant contact hole is removed while maintaining only the first metal layer (17') and the polymer (19') in the contact hole by dry-etching the resultant contact hole little bit more than the thickness of the first metal layer.

Fig. 5 is a view for showing a process of removing the polymer. The polymer remaining only in the contact hole is firstly removed by ashing and secondly, the remaining polymer from the above is completely removed by soaking the exposed first metal layer (17') and the barrier layer (15) in a polymer removing solution, for instance, PRS-2000 and R-10 solution, and then it is rinsed by D.I. water.

Fig. 6 is a view for showing a process for forming an aluminium plug (plug:17'') by instantly melting the aluminium film, which is the first metal layer, at high temperature after the process shown in Fig. 5. At this time, the contact hole becomes almost buried or the aspect ratio of the contact hole becomes relieved. Such degree of burying of the aluminium plug can be controlled by controlling the amount of the aluminium to be remained during the process of etching shown in Fig. 4.

Fig. 7 is a view for showing a process for forming the second metal layer (21).

After the process shown in Fig. 6, the second metal layer is formed by the same process as the process of depositing the second metal layer (21), for example, successively depositing an aluminium film with the thickness of 3000 Å or less at low temperature without exposing to the air, or in the case exposing to the air, the process of sputter cleaning before forming the second metal layer and then depositing the layer without exposing to the air. Herein, an aluminium film containing silicon, copper or titanium can be used instead of the pure aluminium film.

Fig. 8 is a view for showing a process for burying the contact hole. After moving the substrate obtained from the process shown in Fig. 7 to another sputter reaction room without exposing to the air, if the substrate is heat-treated for a few minutes at 450°C, the transport of the aluminium atoms deposited at low temperature becomes active and a grain is formed, and the burying occurs on the first metal layer plug (reference number 17" in Fig. 7). Reference number "21", which is not explained, represents the state after the heat-treatment of the first metal layer.

Fig. 9 is a view for showing a process for forming a third metal layer (23). The production of the metal wire layer is completed after the process of Fig. 8 by depositing the remaining thickness of the total required thickness of the wire and forming the third metal layer (23), for example, an aluminium film. An aluminium film containing silicon, copper or titanium can be used instead of the pure aluminium film. At this time, if the second metal layer (21) formed by the process in Fig. 8 and the third metal layer (23) uses the aluminium film containing impurity (i.e., silicon, copper or titanium) instead of the pure aluminium film, the aluminium film can be deposited with different impurity density.

As stated in the above, the method of forming the metal wire layer according to the present invention, the inside of the contact hole can be completely buried only with the aluminium film after forming an aluminium plug first by depositing and heat-treating another aluminium layer on the aluminium plug. That is, since the inside of the contact hole having the aspect ratio more than 1.5 can be buried only with the aluminium film without aluminium breaking and void caused by the shadow effect, the reliability of the metal wire layer can be enhanced.

**What is claimed is:**

1. A method for forming a wire layer of a semiconductor device comprising the processes of:

forming an insulating film having a contact hole on a semiconductor substrate;

forming a first metal layer only inside of the contact hole and on a bottom exposed to the contact hole at temperature of 200℃ or less;

forming a metal plug inside of the contact hole by melting the first metal layer;

forming a second metal layer on a whole surface of the semiconductor substrate on which the metal plug is formed; and

heat-treating the second metal layer.

2. The method for forming the wire layer of the semiconductor device as claimed in claim 1, further comprising a process of depositing a third metal layer on the heat-treated second metal layer.

3. The method for forming the wire layer of the semiconductor device as claimed in claim 1, further comprising a process of forming a barrier layer before forming the first metal layer.

4. The method for forming the wire layer of the semiconductor device as claimed in claim 3, characterized by that the barrier layer is a titanium nitride.

5. The method for forming the wire layer of the semiconductor device as claimed in claim 1 or 2, characterized by that the first, second and third metal layers are pure aluminium films or an aluminium films containing an impurity.

6. The method for forming the wire layer of the semiconductor device as claimed in claim 5, characterized by that the impurity is silicon, copper or titanium.

7. The method for forming the wire layer of the semiconductor device as claimed



in claim 1, characterized by that the process of forming the metal plug inside of the contact hole by melting the first metal layer is operated by instantly melting the first metal layer at high temperature.

8. The method for forming the wire layer of the semiconductor device as claimed in claim 5, characterized by that the second metal layer is deposited successively with the thickness of 3000 Å or less at low temperature without being exposed to the air, or in the case of being exposed to the air, a sputter cleaning is carried out before the second metal layer is formed, and then the layer is deposited with the thickness of 3000 Å or less at low temperature.

9. The method for forming the wire layer of the semiconductor device as claimed in claim 8, characterized by that after forming the second metal layer, the heat-treating process of the second metal layer is carried out for few minutes at a temperature of 450°C or more after being moved to another sputter reaction room without being exposed to the air

10. The method for forming the wire layer of the semiconductor device as claimed in claim 5, characterized by that the density of the impurity is different if the aluminium films containing the impurity are used for the second metal layer and the third metal layer.

특 1996-0000367

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/28

(45) 공고일자 1996년01월05일  
(11) 공고번호 특1996-0000367

(21) 출원번호	특1992-0013274	(65) 공개번호	특1994-0002951
(22) 출원일자	1992년07월24일	(43) 공개일자	1994년02월19일
(71) 출원인	삼성전자주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	박창수 경기도 수원시 권선구 매탄 1동 167-17 우주타운 1동 101		
(74) 대리인	이영필, 최덕용		

심사관 : 박형식 (특허공보 제4272호)

(54) 반도체장치의 배선층 형성방법

요약

내용 없음.

도표도

도1

명세서

[발명의 명칭]

반도체장치의 배선층 형성방법

[도면의 간단한 설명]

제1도는 선출원된 방법으로 제작한 금속배선층을 나타낸 단면도.

제2도 내지 제9도는 본 발명에 따른 금속배선층 형성방법의 일 실시예를 나타낸 공정순서도.

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 토포그래피 (topography)가 큰 반도체 장치의 배선층 형성방법에 관한 것이다.

반도체 장치가 초고집적화 되어 감에 따라서, 반도체 배선방법은 반도체 장치의 속도성능, 수율 및 신뢰성을 결정하는 요인이 되기 때문에 반도체 제조공정에서 가장 중요한 위치를 점유하고 있다. 종래, 머스펙트비(aspect ratio : 폭에 대한 깊이의 비율)가 낮은 콘택트 홀이나, 깊이가 낮은 단차등과 같은 비교적 굴곡이 적은 외면적 형상을 도포하고자 할때 금속단차 도포성은 크게 문제가 되지 않았다. 그렇지만, 반도체 장치의 집적도가 증가함에 따라 콘택트 홀은 현저하게 작아져가고 반도체기판의 표면부위에 형성된 불순물이 도포된 영역은 훨씬 넓어졌다. 종래의 알루미늄 배선공정은 콘택트 홀의 높은 머스펙트 비 및 스퍼터(sputter)된 알루미늄의 불량한 단차 도포성에 기인한 알루미늄 상호 접촉의 신뢰성실패, 실리콘 침전물에 의해 기인한 접촉저항의 증가 및 알루미늄 스파이크(spike)에 의해 얇은 절합특성의 열화등과 같은 많은 문제점을 내포하기 있기 때문에 콘택트 홀의 높은 머스펙트 비 및 단차의 큰 깊이에도 불구하고 반도체 장치의 고속성능, 고수율 및 양호한 신뢰성을 위하여 개선할 필요성이 있었다.

따라서, 상기한 종래의 배선공정의 문제점을 극복하기 위하여, 새로운 방법들이 제안되어 왔다. 예를들면, 알루미늄 배선공정에 있어서의 높은 머스펙트 비 및 스퍼터된 알루미늄의 불량한 단차 도포성에 기인한 알루미늄 접촉의 실패에 따른 반도체 장치의 신뢰성 저하를 방지하기 위하여 다음과 같은 방법에 공지되어 있다.

일본국 특허공개공보 제62-132348호(유카이야스 스가노 등)에는 반도체 장치의 불규칙한 단차에 대하여 필름 형태를 향상시키기 위하여 반도체기판상의 단차상에 금속배선층을 형성한 후 상기 배선층을 가열 용융시켜 평탄화 하는 방법이 기재되어 있다.

일본국 특허공개공보 제63-99549호(신페어 이미지마 등)에는, 배선의 신뢰성을 향상시키고, 다층간의 상호접촉을 가능케하기 위하여, 콘택트 홀 및 단차가 있는 반도체기판상에 금속배선층을 형성시키고, 이를 가열 용융시키는 방법이 기재되어 있다. 상기 공보에는 반도체기판상에 복수의 소자를 형성하고, 상기 소자를 포함하는 기판상에 절연막을 증착하고, 상기 절연막에 상기 소자의 소정위치에 이르는 콘택트 홀을 형성하고, 상기 콘택트 홀 및 상기 절연막의 표면에 질화티타늄막을 형성하고, 상기 질화티타늄막 전면상에 금속배선층을 증착시킨 후 상기 금속층을 가열 용융시켜 당해 금속층의 표면을 평탄하게 한 후, 소정의 배선패턴에 따라 당해 금속층과 상기 질화티타늄막을 에칭하여 적어도 제1층 배선층을 형성하는 것을

포함하는 반도체기판에 금속배선층을 형성하여 다층간 상호접촉을 형성하는 반도체 장치의 제조방법이 기재되어 있다.

일본국 특허공개공보 제62-109341호(마사히로 시미즈 등)에는, 배선불량에 의한 반도체 장치의 신뢰성을 향상시키기 위하여, 전극이나 배선필름을 형성하는 경우에 절연막 표면의 접촉과 같은 단차에 양호한 도포성을 갖는 알루미늄 합금막과 같은 알루미늄 전도성막을 형성시키는 방법이 제시되어 있다. 마사히로 시미즈 등에 의하면, 실리콘기판상에 액상 알루미늄 화합물이나 알루미늄을 함유하는 용액을 도포한 후 열처리하여 알루미늄 도전성막을 형성시키는 것을 포함하는 반도체 장치의 제조방법이 제공된다.

상술한 방법에 의하면, 콘택트 홀을 매립하기 위하여 알루미늄이나 알루미늄 합금을 용융시키고 리플로우(reflow)한다. 상기한 모든 공보에는 알루미늄 또는 알루미늄 합금이 용융되는 리플로우법을 포함하고 있기 때문에, 이 기술에 의해 제조되는 반도체 웨이퍼는 수평적으로 위치시켜 유동하는 용융물질이 콘택트 홀을 집합하게 매립하도록 하여야 한다. 또한, 온도 변화에 따라 절연지역에서 금속수축이 일어난다. 즉, 금속층을 알루미늄이나 알루미늄 합금의 용융점 이상으로 가열하여 액화된 유동성 금속층이 콘택트 홀을 매립한다. 상기 액상금속층은 표면장력을 작게 하려고 할 것이고, 따라서 고화시에는 수축하거나 비틀리게 되어 저부의 반도체물질층을 노출시키게 된다. 더구나, 열처리 온도는 정확하게 조절될 수 없기 때문에 동일한 결과를 수득하기가 곤란하다. 또한 상기 방법에 의하면 콘택트 홀을 매립시킬 수는 있다고 하더라도, 금속막의 잔여부분은 거칠게 되어 후속 사전공정을 할 수 없게 된다. 따라서 2차적인 금속 형성공정이 필요하게 될 수 있다.

또한, 알루미늄 스파이크에 의한 얇은 접합영역의 열화를 방지하여 반도체 장치의 신뢰성을 향상시키기 위하여 반도체기판상에 형성된 콘택트 홀에 장벽층을 형성하는 방법이 공지되어 있다. 예를들면, 미합중국 특허 제4,897,709호에는 배선과 반도체기판간의 반응을 방지하기 위하여 콘택트 홀내에 장벽층으로서 질화티타늄막을 포함하는 반도체 장치가 기재되어 있다. 상기 질화티타늄막은 저온형 CVD장치를 사용하고 저압 CVD법에 의해 형성될 수 있고, 어스펙트 비가 큰 상당히 미세한 콘택트 홀에서 양호한 단차 도포성을 갖는 우수한 특성이 있다. 상기 질화티타늄막 형성 후 알루미늄 합금을 사용하여 스퍼터링 방법에 의해 배선층을 형성시킨다.

상기 이외에도, 알루미늄이나 알루미늄 합금을 용융시키는 대신에, 금속의 단차 도포성을 향상시키기 위하여, 미합중국 특허 제4,970,176호(드레이시 등)에는 다단계 금속배선방법이 기재되어 있다.

상기 한 특허에 의하면, 저온에서 반도체 웨이퍼상에 소정 두께의 두꺼운 금속층을 증착시킨 후, 금속이 리플로우하도록 온도를 고온(약 400°C ~ 500°C)으로 올리고 소정 두께의 금속층의 나머지 부분을 증착시키거나, 또는 제 1금속층을 증착시킨 후 온도를 금속이 리플로우할 정도의 고온으로 올려가면서 제2금속층을 증착시킨다. 금속층의 리플로우는 입자성장, 재결정 및 벌크확산을 통하여 일어난다.

한편, 오노등의 반도체기판을 500°C 이상에서 유지하는 경우에 알루미늄-실리콘의 액체성이 갑자기 증가한다고 발표하였다(Hisako Ono, et al., in Proc., 1990 VMC Conference June 11-12, pp.76-82). 오노등은 알루미늄-1% 실리콘막의 스트레스(stress)는 500°C에서 급격히 변하고, 상기 온도에서 알루미늄-1% 실리콘막의 스트레스 미완이 급격히 발생한다고 교시하고 있다. 또한, 콘택트 홀을 만족스럽게 매립하기 위하여는 기판온도를 500°C 내지 550°C로 유지하여야 한다고 교시하고 있다.

상기한 현상과 트레이시등의 방법에 있어서의 금속층의 리플로우 현상과는 서로 다른 메커니즘에 의한 것이다.

본 발명자는 상기한 금속층의 스트레스 미완(relaxation)에 의해 금속원자의 이동현상을 이용하여 저온(200°C 이하)에서 금속을 증착시킨 후 금속용융점의 80% 내지 금속용융점의 온도에서 상기 증착된 금속을 후처리하여 반도체 장치의 콘택트 홀을 완전히 매립하는 방법(발명의 명칭: 금속배선층 형성방법)을 발명하여 1990년 6월 18일자로 특허출원한 바 있다(특허출원 제90-10027호).

그러나, 상기 선출원된 기술에서도, 콘택트 홀의 어스펙트 비가 1.5 이상이 되는 고단차에서는 상기 제1도에 도시된 바와 같은 보이드(void)가 발생한다. 즉, 상기 콘택트 홀의 높은 어스펙트 비로 인하여 용융 효과가 증가하고, 이 용융효과의 증가로 인해 저온증착시 스퍼터링되는 알루미늄 원자들이 콘택트 홀내의 측벽에 연속적인 알루미늄막을 형성하지 못하기 때문에, 후속공정으로 열처리를 실시한다 하더라도 상기 콘택트 홀 바닥으로 알루미늄 원자들이 이동하여 충분히 매몰되지 못하고, 콘택트 홀 입구 주위의 알루미늄원자들에 축적되어 상기 콘택트 홀의 입구가 막히거나 좁아지게 됨으로써, 후속되는 알루미늄막의 재증착시에는 상부만 평탄하게 된다.

따라서 본 발명의 목적은 상기와 같은 종래 기술들의 문제점을 해결하기 위하여 콘택트 홀의 어스펙트 비에 관계없이 상기 콘택트 홀을 매립함으로써 고신뢰성의 배선을 형성할 수 있는 금속배선층 형성방법에 관한 것이다.

상기 목적을 달성하기 위하여 본 발명의 방법은, 반도체기판상에 콘택트 홀을 갖는 절연막을 형성하는 공정; 상기 콘택트 홀 내면, 및 상기 콘택트 홀에 노출된 하지막상에만 1차 금속층을 200°C 이하의 온도에서 형성하는 공정; 상기 1차 금속층을 용융시켜 상기 콘택트 홀내에 금속플러그를 형성하는 공정; 상기 금속플러그가 형성된 상기 반도체기판의 전면 2차 금속층을 형성하는 공정; 및 상기 2차 금속층을 열처리하는 공정을 구비하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명을 설명하기로 한다.

제2도 내지 제9도는 본 발명에 따른 금속배선층 형성방법의 일 실시예를 나타낸 공정순서도로, 상기 출원된 특허를 개량한 것이다. 본 실시예에서는 하부배선층으로 불순물주입영역을 예로 들어 설명하기로 한다.

제2도는 하부배선층(11), 장벽층(15), 및 1차 금속층(17)의 형성공정을 도시한 것으로, 먼저 제1도 전형의 반도체기판(10)에 제2도전형의 불순물주입영역으로 이루어진 하부배선층(11)을 형성하고, 결과물 전면 1에 층간절연막(13)을 형성한다. 이어서, 상기 층간절연막위에 마스크패턴을 적용하여 상기 하부배선층이

노출되도록 층간절연막을 식각함으로써 콘택트 홀을 형성하고, 기판 표면에 잔류하는 유기물과 콘택트 홀 내의 저부의 기판 표면에 존재하는 자연산화막을 제거하는 세정을 실시한 뒤, 결과물 전면에 장벽층(15), 예컨대 티타늄나이트라이드(TiN)를 물리 또는 화학증착하고, 상기 장벽층(15)위에 1차 금속층(17) 예컨대 알루미늄막을 200°C 이하의 온도에서 물리증착한다. 이때, 상기 1차 금속층인 알루미늄막의 두께는 상기 콘택트홀의 입구 크기의 1/2로 한다. 여기서, 상기 알루미늄막은 순수한 알루미늄막 대신 실리콘, 또는 구리, 또는 티타늄등을 함유한 알루미늄막을 사용할 수도 있다.

제3도는 폴리머(19)의 형성공정을 도시한 것으로, 상기 제2도의 공정 후 결과물 전면에 포토레지스트와 같은 점성질을 갖는 폴리머(19)를 스핀 코팅(spin coating)으로 결과물 전면에 얇게 도포하여, 도포된 바와 같이 이 콘택트 홀내의 빈 공간을 매몰시킨 후 베이킹(bake)공정을 실시한다.

제4도는 상기 콘택트 홀내에 폴리머가 채워진 결과물 전면에 대하여 이방성식각을 실시하되, 상기 1차 금속층의 두께보다 약간 더 건식식각하여 상기 콘택트 홀 내부의 1차 금속층(17') 및 폴리머(19')만을 남기고 모두 제거하는 공정을 나타낸다.

제5도는 상기 폴리머의 제거공정을 도시한 것으로, 상기 콘택트 홀내에만 남아 있는 폴리머를 에칭(ashing)으로 1차적으로 제거하고, 노출된 1차 금속층(17') 및 장벽층(15)이 부식되지 않는 폴리머 제거용액 예컨대 PRS-2000, R-10 용액에 침잠하여 잔류 폴리머를 2차적으로 완전히 제거한 후, 순수(純水: D.I. water)로 린스(rinse)를 실시한다.

제6도는 상기 제5도의 공정 후 고온에서 상기 1차 금속층인 알루미늄막을 순간 용융시켜 알루미늄 플러그(plug: 17'')를 형성하는 공정을 나타낸다. 이때, 상기 콘택트 홀이 거의 매몰되거나, 콘택트 홀의 어스펙트 비가 완화되며, 이와 같은 알루미늄 플러그의 매몰정도는 상기 제4도의 식각공정에서 남게 되는 알루미늄양을 조절하여 만들 수 있다.

제7도는 2차 금속층(21)의 형성공정을 도시한 것으로, 상기 제6도의 공정후 2차 금속층(21) 예컨대 3000 Å 이하의 알루미늄막을 저온에서 대기 노출없이 연속적으로 증착하거나, 대기 노출이 될 경우에는 상기 2차 금속층의 형성전에 스퍼터 클리닝(sputter cleaning)을 실시한 후 대기 노출없이 증착하는 것과 일한 과정을 거쳐서 2차 금속층을 형성한다. 여기서, 상기 알루미늄막은 순수한 알루미늄막 대신 실리콘, 또는 구리, 또는 티타늄등을 함유한 알루미늄막을 사용할 수도 있다.

제8도는 상기 콘택트 홀의 매몰공정을 도시한 것으로, 상기 제7도의 공정으로 얻어진 기판을 대기 노출없이 다른 스퍼터 반응실로 이동한 후 450°C 이상에서 수분간 열처리를 실시하면, 저온에서 증착된 알루미늄막의 원자들의 이동이 활발히 일어나면서 그레인(grain)이 성장되며, 상기 1차 금속층 플러그(상기 제7도의 참조부호 17'')상에서 매몰이 일어난다. 미설명부호 21'은 상기 2차 금속층의 열처리 후의 상태를 나타낸 것이다.

제9도는 3차 금속층(23)의 형성공정을 도시한 것으로, 상기 제8도의 공정 이후 필요한 총배선 두께의 나머지를 증착하여 3차 금속층(23) 예컨대 알루미늄막을 형성함으로써 금속배선층의 제작을 완성한다. 이어서, 상기 알루미늄막은 순수한 알루미늄막 대신 실리콘, 또는 구리, 또는 티타늄등을 함유한 알루미늄막을 사용할 수도 있다. 이때, 상기 제8도의 공정에서 형성되는 2차 금속층(21)과 상기 3차 금속층(23)이 순수한 알루미늄막 대신에 불순물(실리콘, 또는 구리, 또는 티타늄)을 함유한 알루미늄막을 사용한다면, 상기 불순물 함유농도를 서로 다르게 하여 증착할 수도 있다.

이상과 같이 본 발명에 의한 금속배선층 형성방법에서는, 1차적으로 알루미늄 플러그를 형성한 후 상기 알루미늄 플러그위에 또 다른 알루미늄막을 증착하여 열처리함으로써, 콘택트 홀 내부를 알루미늄막으로만 완전히 매몰시킬 수 있다. 즉, 어스펙트 비가 1.5 이상인 콘택트 홀 내부를 용융효과에 기인된 알루미늄 단선 및 보이드의 형성없이 알루미늄막으로만 완전히 매몰시킬 수 있어서, 금속배선층의 신뢰성을 향상시킬 수 있다.

## (57) 청구의 범위

### 청구항 1

반도체기판상에 콘택트 홀을 갖는 절연막을 형성하는 공정 ; 상기 콘택트 홀 내면, 상기 콘택트 홀에 노출된 하지막상에만 1차 금속층을 200°C 이하의 온도에서 형성하는 공정 ; 상기 1차 금속층을 용융시켜 상기 콘택트 홀내에 금속플러그를 형성하는 공정 ; 상기 금속플러그가 형성된 상기 반도체 기판의 전면에 2차 금속층을 형성하는 공정 ; 및 상기 2차 금속층을 열처리하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

### 청구항 2

제1항에 있어서, 상기 열처리된 2차 금속층위에 3차 금속층을 증착하는 공정을 더 구비하는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

### 청구항 3

제1항에 있어서, 상기 1차 금속층 형성전에 장벽층을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

### 청구항 4

제3항에 있어서, 상기 장벽층은 티타늄나이트라이드인 것을 특징으로 하는 반도체 장치의 배선층 형성 방법.

### 청구항 5

제1항 또는 제2항에 있어서, 상기 1차, 2차, 및 3차 금속층은 순수한 알루미늄막 또는 불순물이 함유된

알루미늄막인 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**청구항 6**

제5항에 있어서, 상기 불순물은 실리콘, 또는 구리, 또는 티타늄인 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**청구항 7**

제1항에 있어서, 상기 1차 금속층을 용융시켜 상기 콘택트 홀내에 금속플러그를 형성하는 공정은 고온에서 상기 1차 금속층을 순간 용융시킴으로써 이루어지는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**청구항 8**

제5항에 있어서, 상기 2차 금속층은 3000 Å 이하의 두께로 저온에서 대기 노출없이 연속적으로 증착되거나, 대기 노출이 될 경우에는 상기 2차 금속층의 형성전에 스퍼터 클리닝을 실시한 후 3000 Å 이하의 두께로 저온에서 증착되는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**청구항 9**

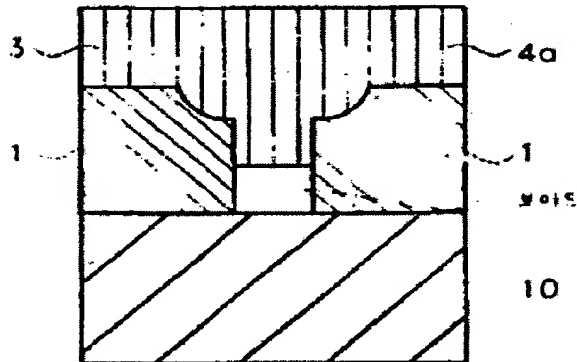
제8항에 있어서, 상기 2차 금속층의 열처리공정은, 상기 2차 금속층의 형성 후 대기 노출없이 다른 스퍼터 반응실로 이동한 후 450°C 이상에서 수분간 실시하는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**청구항 10**

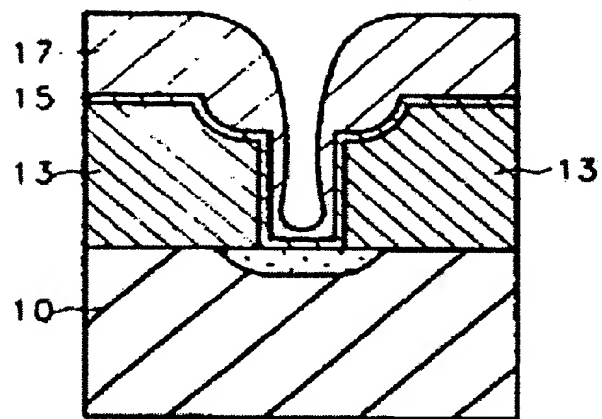
제5항에 있어서, 상기 2차 금속층과 3차 금속층에 불순물이 함유된 알루미늄막을 사용할 경우, 상기 불순물 함유농도를 서로 다르게 하는 것을 특징으로 하는 반도체 장치의 배선층 형성방법.

**도면**

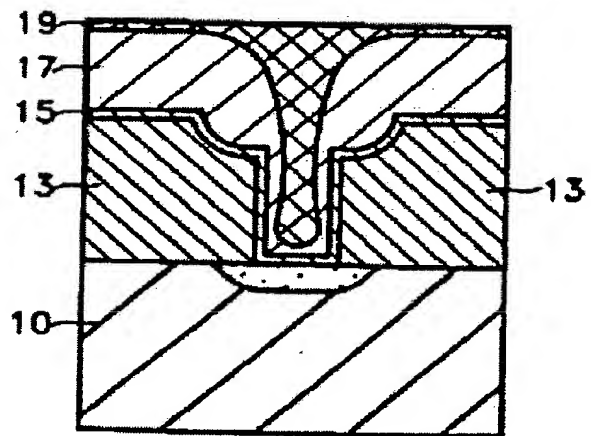
**도면1**



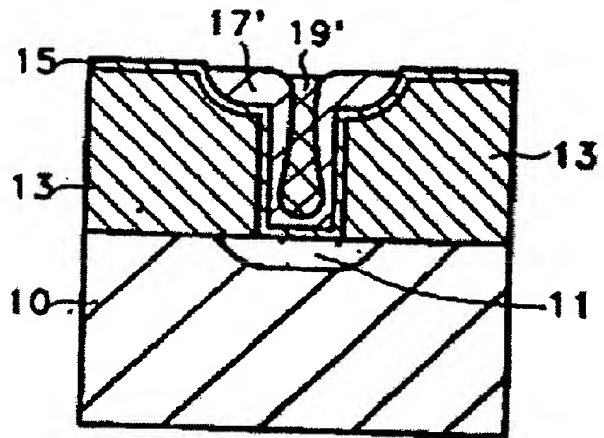
도 B2



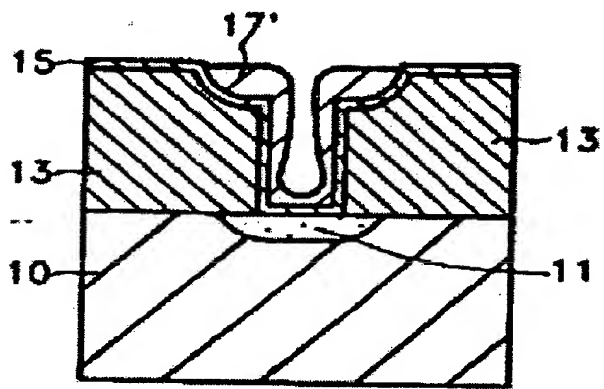
도 B3



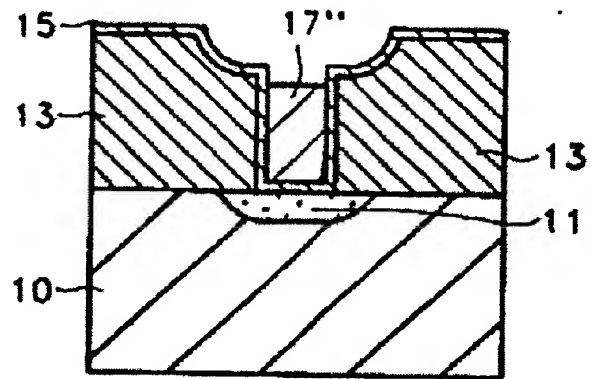
도 84



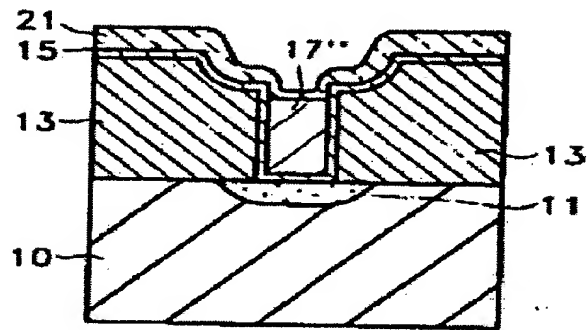
도 85



도 28

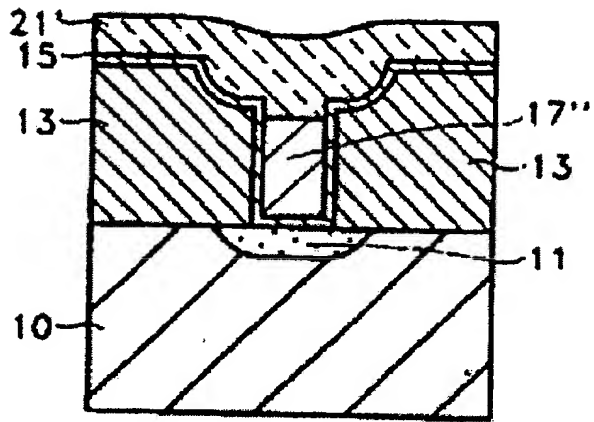


도 29





도 188



도 189

